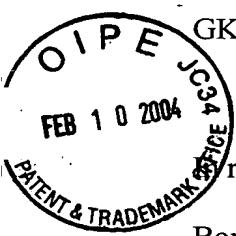


PATENT



GK-US035154

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re Application of

Bon-Kee KIM et al.

Serial No.: 10/697,988

Filed: October 31, 2003

For: LOCAL OSCILLATOR USING I/Q
MISMATCH COMPENSATING CIRCUIT
THROUGH LO PATH RECEIVER
USING THEREOF

Patent Art Unit: 2817

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

The Assistant Commissioner of Patents
Washington, DC 20231

Sir:

Under the provisions of 35 U.S.C. §119, Applicant(s) files herewith a certified copy of Korean Patent Application No. 10-2002-0066913, filed October 31, 2003, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748. Applicant(s) hereby claims priority under 35 U.S.C. §119 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Respectfully submitted,

Todd M. Guise
Reg. No. 46,748

SHINJYU GLOBAL IP COUNSELORS, LLP
1233 Twentieth Street, NW, Suite 700
Washington, DC 20036
(202)-293-0444
Dated: 2/10/04

GK-US 035154
(10/697, 988)



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066913
Application Number

출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

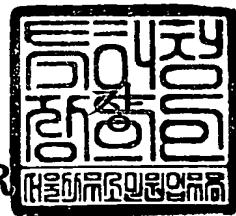
출원인 : 인티그런트 테크놀로지즈(주)
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2003 년 10 월 21 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.31
【발명의 명칭】	국부 발진 신호 경로를 통한 동 위상 및 직교 위상 신호 간 부 정합 보정 회로를 이용한 국부 발진기 및 이를 이용한 수신 장치
【발명의 영문명칭】	Local Oscillator using I/Q Mismatch Compensating Circuit through L0 Path and Receiver using thereof
【출원인】	
【명칭】	인티그런트 테크놀로지즈(주)
【출원인코드】	1-2001-002372-0
【대리인】	
【성명】	박경완
【대리인코드】	9-1999-000646-5
【포괄위임등록번호】	2001-003356-1
【대리인】	
【성명】	김성호
【대리인코드】	9-1998-000633-4
【포괄위임등록번호】	2001-003357-8
【발명자】	
【성명의 국문표기】	김본기
【성명의 영문표기】	KIM,Bon Kee
【주민등록번호】	710703-1261910
【우편번호】	461-160
【주소】	경기도 성남시 수정구 신흥동 한신아파트 2-1004호
【국적】	KR
【발명자】	
【성명의 국문표기】	김보은
【성명의 영문표기】	KIM,Bo-Eun
【주민등록번호】	690112-1100611
【우편번호】	449-907

1020020066913

출력 일자: 2003/10/23

【주소】	경기도 용인시 기흥읍 신갈리 151-1 신갈 현대아파트 101동 106호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박경완 (인) 대리인 김성호 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	16	항	621,000 원
【합계】	666,000 원		
【감면사유】	소기업 (70%감면)		
【감면후 수수료】	199,800 원		
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통		

【요약서】

【요약】

본 발명은 L0 경로를 통하여 I/Q 부정합을 보정하는 보정 회로를 이용한 국부 발진기 및 이를 이용한 수신 장치에 관한 것이다. 본 발명의 일실시예에 따른 국부 발진기는, 입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 각각 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서, 제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및 국부 발진부의 제1 및 제2 지연셀에 인가되는 바이어스 전류를 서로 다르게 설정함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다. 본 발명의 다른 실시예에 따라서는 보정 회로는 제1 및 제2 지연셀에 인가되는 바이어스 전압을 서로 다르게 설정하거나, 제1 및 제2 지연셀에 포함된 능동 소자의 폭, 또는 수동 소자의 임피던스 값을 서로 다르게 설정함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어한다.

【대표도】

도 2

【색인어】

국부 발진기, 수신 장치, 로컬 오실레이터, 동 위상 신호, 직교 위상 신호

【명세서】

【발명의 명칭】

국부 발진 신호 경로를 통한 동 위상 및 직교 위상 신호 간 부정합 보정 회로를 이용한 국부 발진기 및 이를 이용한 수신 장치{Local Oscillator using I/Q Mismatch Compensating Circuit through LO Path and Receiver using thereof}

【도면의 간단한 설명】

도 1은 종래의 수신 장치를 개략적으로 도시한 회로도.

도 2는 본 발명의 일실시예에 따른 수신 장치를 도시한 회로도.

도 3은 도 2에 도시된 국부 발진기 및 보정 회로를 본 발명의 일실시예에 따라 도시한 회로도.

도 4는 도 3에 도시된 국부 발진기 및 보정 회로의 내부 구성을 좀 더 상세하게 도시한 회로도.

도 5는 국부 발진 신호에 따른 믹서의 이득과 잡음 특성을 도시한 파형도.

도 6은 본 발명의 다른 실시예에 따른 지연셀 및 보정 회로를 도시한 회로도.

도 7a는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도.

도 7b는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도.

도 8a는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도.

도 8b는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 통신 시스템에 관한 것으로서, 더욱 상세하게는 수신 장치의 동 위상 신호 (In-phase signal) 및 직교 위상 신호(Quadrature-phase signal) 간에 발생된 위상 부정합 (phase mismatch)을 보정하기 위한 회로에 관한 것이다.

<12> 도 1은 종래의 무선 주파수 수신 장치를 개략적으로 도시한 회로도이다.

<13> 도 1에 도시된 바와 같이, 종래의 무선 주파수 수신 장치는 저잡음 증폭기(110), 제1 및 제2 믹서(120, 130), 국부 발진기(140), 및 제1 및 제2 기저 대역 회로(150, 160)로 구성된다.

<14> 저잡음 증폭기(110)는 안테나를 통해 수신된 무선 주파수 신호를 증폭시켜 제1 및 제2 믹서(120, 130)에 인가한다. 제1 및 제2 믹서(120, 130)는 증폭된 무선 주파수 신호를 각각 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 와 믹싱하여, 중간 주파수 또는 기저 대역 신호를 출력한다. 제1 및 제2 기저 대역 회로(150, 160)는 각각 제1 및 제2 믹서(120, 130)에서 출력된 신호를 증폭, 여과시켜 동 위상 신호 I 및 직교 위상 신호 Q를 출력한다.

<15> 일반적으로 무선 통신 시스템에 있어서, 무선 주파수 송신 장치는 데이터를 동 위상 채널 및 직교 위상 채널의 양 채널에 실어 송신한다. 따라서, 원하는 신호를 완전하게 복원하기 위해서는 서로 90 도의 위상차를 가지는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 가 필요하게 되며, 이러한 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 의 위상이 정확히 90도가 되지 않게 될 경우에는, 최종적으로 신호를 복원하였을 때 비트

에러율(Bit Error Rate)이 높아지게 된다. 특히, 양 채널로의 신호 분리가 높은 주파수에서 일어나는 직접 변환 방식의 수신기나 이미지 제거 방식의 수신기의 경우, 동 위상 신호 I 및 직교 위상 신호 Q 간의 부정합은 시스템 전반에 심각한 문제를 일으킬 수 있다.

<16> 그러나, 실제 무선 주파수 수신 장치에 있어서, 절연체의 두께, 소자의 크기 또는 스페이스의 차이, 반도체 물질의 다양한 크리스탈 구조, 및 레이아웃(layout)의 부정합 등으로 인하여, 국부 발진기를 구성하는 지연셀들의 특성이 이상적으로 일치하지 않는다. 이러한 지연셀들 간의 특성 불일치는 국부 발진기에서 출력되는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 간의 위상 부정합을 발생시키며, 이는 수신 장치의 I/Q 신호간 부정합을 발생시키는 중요 원인이 된다. 나아가, 수신 장치의 I 및 Q 경로에 있는 소자들 간에 발생된 부정합 또한 무선 주파수 수신 장치의 I/Q 부정합을 발생시키는 요인 중 하나이다.

<17> 당업자에게 자명한 바와 같이, 동 위상 신호 I 및 직교 위상 신호 Q 간에 발생된 크기 부정합은 크게 문제가 되지 않으나, 주파수가 올라감에 따라 두 신호 경로 사이의 길이나 소자 특성 등에 의하여 위상 부정합은 문제를 일으킬 소지가 있다.

<18> 동 위상 신호 I 및 직교 위상 신호 Q 사이에 발생된 위상 부정합을 보정하기 위한 종래 기술로서, 믹서를 통과한 기저 대역의 동 위상 신호 I 및 직교 위상 신호 Q를 보정하는 방법과, 무선 주파수 신호의 I 경로 및 Q 경로를 보정하는 방법이 있다. 그러나, 이러한 종래 기술은 I/Q 신호간 위상 부정합을 보정하기 위하여 신호 경로(signal path)에 보정 회로를 부가하여야 하는 단점이 있다. 즉, 작은 신호가 지나가는 경로에 보정 회로를 부가하는 것은 시스템에서 요구하는 이득, 잡음, 선형성 특성을 열화시킬 우려가 있으며, 나아가, 이미 제작된 회로에서는 응용이 어렵다는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 목적은 수신 장치에 있어서, 동 위상 신호 및 직교 위상 신호 간 발생된 위상 부정합을 보정하기 위한 회로를 제공하는 것이다.

<20> 본 발명의 다른 목적은 국부 발진기에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 발생된 위상 부정합을 보정하기 위한 것이다.

<21> 본 발명의 다른 목적은 전체 시스템의 이득 특성, 잡음 특성 및 선형성 등에 실질적으로 영향을 미치지 않고, 동 위상 신호 및 직교 위상 신호 간에 발생된 위상 부정합을 보정하기 위한 회로를 제공하는 것이다.

<22> 본 발명의 다른 목적은 이미 제작된 회로에서도 쉽게 동 위상 신호 및 직교 위상 신호 간의 위상 부정합을 보정할 수 있는 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 국부 발진기는, 입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서, 제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및 국부 발진부의 제1 및 제2 지연셀에 흐르는 바이어스 전류를 서로 다르게 설정함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<24> 본 발명의 일실시예에 따른 국부 발진기에 있어서, 국부 발진부의 제1 지연셀은 + 및 - 입력단, + 및 - 출력단, 및 보정단을 구비하고, + 및 - 입력단에 인가된 신호의 위상을 변환하

여 각각 - 및 + 출력단으로 출력하고, 국부 발진부의 제2 지연셀은 제1 지연셀의 - 및 + 출력 단에 각각 접속되는 + 및 - 입력단, 제1 지연셀의 + 및 - 입력단에 각각 접속되는 - 및 + 출력 단, 및 보정단을 구비하고, + 및 - 입력단에 인가된 신호를 위상을 변환하여 각각 - 및 + 출력 단으로 출력하되, 보정단에 인가되는 전류에 의하여 제1 및 제2 지연셀에 흐르는 바이어스 전류가 제어된다.

<25> 본 발명의 일실시예에 따른 국부 발진기에 있어서, 보정 회로는 제1 및 제2 가변 전류 소오스를 포함하고, 제1 및 제2 가변 전류 소오스는 각각 제1 및 제2 지연셀의 보정단 및 제1 전원 간에 접속된다.

<26> 본 발명의 다른 실시예에 국부 발진기는, 입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서, 제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및 제1 및 제2 지연셀에 인가되는 바이어스 전압을 서로 다르게 설정함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<27> 본 발명의 다른 실시예에 따른 국부 발진기는, 출력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서, 제1, 제2 및 제3 단자를 구비하고, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 능동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및 능동 소자의 제1, 제2 및 제3 단

자에 각각 접속되는 제1, 제2, 및 제3 단자를 구비하고, 제1 및 제2 지연셀에 포함된 능동 소자의 폭을 다르게 설정함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<28> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 보정 회로는 제1, 제2 및 제3 단자를 구비하고, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 능동 소자 및 스위치 수단을 하나 이상 포함하고, 능동 소자의 제1 단자는 보정 회로의 제2 단자를 형성하고, 능동 소자의 제2 단자는 스위치 수단의 일단과 접속되며, 능동 소자의 제3 단자는 보정 회로의 제1 단자를 형성하고, 스위치 수단의 타단은 보정 회로의 제3 단자를 형성한다.

<29> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 능동 소자는 nMOSFET 소자이고, 제1 단자는 드레인, 제2 단자는 소오스, 제3 단자는 게이트이다.

<30> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 능동 소자는 pMOSFET 소자이고, 제1 단자는 소오스, 제2 단자는 드레인, 제3 단자는 게이트이다.

<31> 본 발명의 다른 실시예에 따른 국부 발진기는, 입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서, 특정 임피던스를 갖는 수동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및 수동 소자의 일단 및 타단 간에 접속되는 제1 및 제2 단자를 구비하고, 제1 및 제2 지연셀에 포함된 수동 소자의 임피던스 값을 다르게 함으로써, 국부 발진부에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<32> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 보정 회로는 특정 임피던스를 갖는 수동 소자 및 스위치 수단을 포함하고, 수동 소자의 일단은 보정 회로의 제1 단자를 형성하고, 타단은 스위치 수단의 일단과 접속되며, 스위치 수단의 타단은 보정 회로의 제2 단자를 형성한다.

<33> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 수동 소자는 인덕터이다.

<34> 본 발명의 다른 실시예에 따른 국부 발진기에 있어서, 수동 소자는 커패시터이다.

<35> 본 발명의 일실시예에 따른 수신 장치는, 제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기, 입력 신호를 국부 발진기에 서 출력된 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및 국부 발진기의 제1 및 제2 지연셀에 흐르는 바이어스 전류를 서로 다르게 설정함으로써, 국부 발진기에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<36> 본 발명의 다른 실시예에 따른 수신 장치는, 제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기, 입력 신호를 국부 발진기에서 출력된 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및 국부 발진기의 제1 및 제2 지연셀에 인가되는 바이어스 전압을 서로 다르게 설정함으로써, 국부 발진기에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함한다.

<37> 본 발명의 다른 실시예에 따른 수신 장치는, 제1, 제2 및 제3 단자를 구비하고, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 능동

소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기, 입력 신호를 국부 발진기에서 출력된 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및 능동 소자의 제1, 제2 및 제3 단자에 각각 접속되는 제1, 제2, 및 제3 단자를 구비하고, 제1 및 제2 지연셀에 포함된 능동 소자의 폭을 다르게 설정함으로써, 제1 및 제2 믹서에서 출력되는 신호 간 부정합을 보정하는 보정 회로를 포함한다.

<38> 본 발명의 다른 실시예에 따른 수신 장치는, 특정 임피던스를 갖는 수동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기, 입력 신호를 국부 발진기에서 출력된 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및 수동 소자의 일단 및 타단 간에 접속되는 제1 및 제2 단자를 구비하고, 제1 및 제2 지연셀에 포함된 수동 소자의 임피던스 값을 다르게 함으로써, 제1 및 제2 믹서에서 출력되는 신호간 부정합을 보정하는 보정 회로를 포함한다.

<39> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

<40> 도 2는 본 발명의 일실시예에 따른 수신 장치를 도시한 회로도이다.

<41> 도 2에 도시된 바와 같이, 본 발명의 일실시예에 따른 수신 장치는 제1 및 제2 믹서(210, 230), 국부 발진기(250), 검지 회로(270), 및 보정 회로(290)를 포함한다.

<42> 제1 및 제2 믹서(210, 230)는 입력된 신호(signal)를 각각 동 위상 및 직교 위상 국부 발진 신호 L_{QI} , L_{QD} 와 믹싱하여, 기저 대역(base band) 또는 중간 주파수(IF) 신호를 출력한다

<43> 국부 발진기(250)는 제1 및 제2 보정단(201, 203)을 구비하고, 크기가 실질적으로 동일하고, 위상이 실질적으로 90도의 차이를 갖는 동 위상 및 직교 위상 국부 발진 신호 L_{0I} , L_{0Q} 를 출력한다. 나아가, 제1 및 제2 보정단(201, 203)에 인가된 보정 신호에 의하여, 출력되는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 의 정합 특성을 제어한다.

<44> 본 발명의 일실시예에 따른 국부 발진기(250)는 후술하는 바와 같이, 2 이상의 지연셀을 포함하고, 각각의 지연셀들 간에 부정합을 유도함으로써, 출력되는 국부 발진 신호간의 위상 정합 특성을 제어한다. 즉, 국부 발진 신호간 발생된 위상 부정합을 상쇄할 수 있는 역 부정합을 미연에 발생시킴으로써, 동 위상 및 직교 위상 국부 발진 신호 L_{0I} , L_{0Q} 간 발생될 위상 부정합을 억제하는 것이다. 본 발명의 일실시예에 따른 수신 장치에 있어서, 국부 발진기(250)는 직교 전압 제어 발진기이다.

<45> 검지 회로(270)는 제1 및 제2 믹서(210, 230)에서 각각 출력된 동 위상 신호 I 및 직교 위상 신호 Q 간의 부정합을 검지하고, 제1 및 제2 제어 신호 Sctrl1, Str2를 출력한다. 본 발명의 일실시예에 따른 수신 장치에 있어서, 검지 회로(270)는 이미 당업계에서 널리 사용되고 있는 회로 또는 장치를 이용하여 구현될 수 있다. 예컨데, 오실로스코프(oscilloscope)와 같은 장비를 이용하여, 제1 및 제2 믹서(210, 230)에서 출력되는 동 위상 신호 및 직교 위상 신호 간 위상 부정합을 검지할 수 있으며, 이외의 다양한 아날로그 또는 디지털 회로를 이용하여 구현이 가능하다. 또한, 검지 회로(270)는 초기 수신 장치의 I/Q 정합 특성을 검지하여 제어 신호를 출력 한 후, 실제 수신 장치 사용 시에는 제거될 수 있으며, 이 경우에는 초기 설정된 제어 신호가 계속적으로 보정 회로에 인가될 수 있다.

<46> 보정 회로(290)는 상기 검지 회로(270)에서 출력된 제1 및 제2 제어 신호 Sctr1, Sctr2에 의하여, 국부 발진기(250)의 제1 및 제2 보정단(201, 203)으로 보정 신호를 출력한다. 도 2에서는 보정 회로(290)를 국부 발진기(250)와 별도로 표현하였으나, 보정 회로(290)를 국부 발진기(250)의 내부에 설치할 수 있음은 물론이며, 이 경우, 국부 발진기는 국부 발진부(250) 및 보정 회로(290)를 포함하는 형태를 띠게 된다.

<47> 이하, L0 경로를 통한 수신 장치의 I/Q 부정합 보정 회로에 대한 다양한 실시예를 상세히 설명한다. 그러나, 본 발명의 정신은 이하에서 설명하는 구체적인 실시예에 한정되는 것은 아니며, L0 경로를 통하여, 수신 장치의 I/Q 부정합을 보정하는 모든 개념에 적용될 수 있다.

<48> 지연셀에 제공되는 바이어스 전류를 제어함으로써, 부정합을 보정하는 실시예.

<49> 도 3은 도 2에 도시된 국부 발진기(250) 및 보정 회로(290)를 본 발명의 일실시예에 따라 도시한 회로도이다.

<50> 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 국부 발진기(250)는 제1 및 제2 지연셀(310, 330)을 포함하고, 보정 회로(290)는 제1 및 제2 가변 전류 소오스 I31, I32를 포함한다. 당업자에게 자명한 바와 같이, 본 발명의 본질은 국부 발진기(250)에 포함된 지연셀 및 보정 회로(290)에 포함된 가변 전류 소오스의 특정 숫자에 한정되지 않으며, 실시예에 따라 그 숫자를 증가시킬 수 있다.

<51> 이하, 도 3을 참조하여, 이들의 구성 및 접속 관계를 설명한다.

<52> 국부 발진기(250)의 제1 지연셀(310)은 + 및 - 입력단, + 및 - 출력단, 및 보정단(301)을 구비하며, + 및 - 입력단에 인가된 신호의 위상을 변환하여 각각 - 및 + 출력단으로 전송한

다. 국부 발진기(250)의 제2 지연셀(330)은 + 및 - 입력단, + 및 - 출력단, 및 보정단(303)을 구비하며, + 및 - 입력단에 인가된 신호의 위상을 변환하여 - 및 + 출력단으로 각각 전송한다.

<53> 본 발명의 일실시예에 따른 국부 발진기에 있어서, 제1 및 제2 지연셀(310, 330)은 서로 링형으로 접속된다. 즉, 제1 지연셀(310)의 - 및 + 출력단은 제2 지연셀(330)의 + 및 - 입력단과 접속되며, 제2 지연셀(330)의 - 및 + 출력단은 제1 지연셀(310)의 + 및 - 입력단과 접속된다. 제1 및 제2 지연셀(310, 330)의 보정단(301, 303)은 각각 국부 발진기(250)의 제1 및 제2 보정단(201, 203)을 형성한다.

<54> 보정 회로(290)의 제1 및 제2 가변 전류 소오스 I31, I32는 각각 국부 발진기(250)의 제1 및 제2 보정단(201, 203)에 접속되어, 국부 발진기(250)의 제1 및 제2 보정단(201, 203)에 전류를 공급한다.

<55> 이하, 국부 발진기(250) 및 보정 회로(290)의 동작을 설명한다.

<56> 국부 발진기(250)는 제1 및 제2 지연셀(310, 330)을 링형으로 접속시킴으로써, 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 를 출력한다. 즉, 제1 지연셀(310)의 - 및 + 출력단에는 크기가 실질적으로 동일하고, 위상이 실질적으로 90도 및 270도인 신호가 출력된다. 제2 지연셀(330)의 - 및 + 출력단에는 크기가 실질적으로 동일하고, 위상이 실질적으로 180도 및 0도인 신호가 출력된다. 따라서, 서로 90도의 위상차를 갖는 제2 지연셀(330)의 + 출력단 및 제1 지연셀(310)의 - 출력단의 신호를 이용하거나, 제2 지연셀(330)의 - 출력단 및 제1 지연셀(310)의 + 출력단의 신호를 이용하면 직교 국부 발진기(250)의 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 를 얻을 수 있다.

<57> 보정 회로(290)의 제1 및 제2 가변 전류 소오스 I31, I32는 검지 회로(270)에서 출력된 제1 및 제2 제어 신호 Sctr1, Sctr2에 의하여 전류 값이 결정되고, 제1 및 제2 지연셀(310, 330)의 보정단(301, 303)에 전류를 공급한다. 즉, 본 발명의 일실시예에 따른 보정 회로(290)는 제1 및 제2 지연셀(310, 330)에 제공되는 전류 값을 서로 다르게 함으로써, 국부 발진기에 서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어 한다. 다시 말하면, 국부 발진 신호 간 발생될 위상 부정합을 상쇄시킬 수 있는 역 부정합을 제1 및 제2 가변 전류 소오스 I31, I32를 통해 발생시킴으로써, 국부 발진 신호간 위상 부정합 을 억제한다.

<58> 나아가, 본 발명의 다른 실시예에 따라서는, 기저 대역 동 위상 신호 I 및 기저 대역 직 교 위상 신호 Q 간 발생될 위상 부정합만큼 국부 발진기(250)의 제1 및 제2 지연셀(310, 330)에 흐르는 전류를 서로 다르게 함으로써, 동 위상 및 직교 위상 국부 발진 신호 L_0I , L_0Q 의 위상을 전치 왜곡(pre-distortion)시킬 수 있다. 따라서, 동 위상 신호 I 및 직교 위상 신호 Q 간 발생될 위상 부정합을 보정할 수 있다. 다만, 이 경우에, 제1 및 제2 국부 발진 신호 L_0I , L_0Q 의 크기 부정합도 발생하게 되는데, 제1 및 제2 국부 발진 신호 L_0I , L_0Q 의 크기 부정합은 후술하는 바와 같이, 수신 장치에 실질적인 영향을 미치지 않는다.

<59> 도 4는 도 3에 도시된 국부 발진기(250) 및 보정 회로(290)의 내부 구성을 좀 더 상세하게 도시한 회로도이다. 다만, 제1 및 제2 지연셀(310, 330) 및 제1 및 제2 가변 전류 소오스 I31, I32는 실질적으로 동일한 구조로 형성되므로, 여기서는 제1 지연셀(310) 및 제1 바이어스 전류 I31만을 도시하였다.

<60> 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 제1 지연셀(310)은 제1 내지 제6 PMOS 트랜지스터 MP41~MP46, 제1 및 제2 NMOS 트랜지스터 MN41, MN42, 인덕터 L41, 및 커패시터 C41를 포함한다.

<61> 이하, 도 4를 참조하여 본 발명의 일실시예에 따른 국부 발진기(250) 및 보정 회로(290)를 좀더 상세히 설명한다. 다만, 도 4에 도시된 제1 지연셀(310)은 이미 본 발명이 속하는 기술 분야에서 널리 알려진 것이고, 본 발명이 국부 발진기(250)의 특정 구현에 한정되는 것이 아니므로, 여기서, 본 발명의 본질과 거리가 있는 구성 및 동작에 대한 상세한 설명은 생략하기로 한다.

<62> 제1 지연셀(310)의 제1 PMOS 트랜지스터 MP41는 제1 지연셀(310)에 바이어스 전류를 제공하는 소자로서, 제3 내지 제6 PMOS 트랜지스터 MP43~MP46에 흐르는 전류를 결정한다. 제1 및 제2 NMOS 트랜지스터 MN41, MN42의 게이트는 서로 크로스-커플드(cross-coupled) 되어, 상대방의 드레인에 접속되고, 소오스는 접지됨으로써, 제1 지연셀(310)의 $-gm$ 을 형성한다.

<63> 제2 PMOS 트랜지스터 MP42의 소오스는 전원에 접속되고, 게이트는 제1 PMOS 트랜지스터 MP41의 게이트에 접속된다. 따라서, 제1 PMOS 트랜지스터 MP41의 드레인에는 제2 PMOS 트랜지스터 MN42의 드레인에 흐르는 전류와 실질적으로 동일한 양의 전류가 흐르게 된다.

<64> 인덕터 L41 및 커패시터 C41는 서로 공진을 일으킴으로써, 원하는 공진 주파수에서 국부 발진기(250)가 발진하도록 한다.

<65> 보정 회로(290)의 제1 가변 전류 소오스 I31는 제2 PMOS 트랜지스터 MP42의 드레인에 전류를 공급하며, 제1 제어 신호 Sctr1에 의하여 공급되는 전류의 양이 결정된다. 따라서, 제1 PMOS 트랜지스터 MP41의 드레인에는 제1 가변 전류 소오스 I31에서 공급되는 전류의 양과 실질

적으로 동일한 양의 전류가 흐르게 되고, 이로써, 제1 가변 전류 소오스 I31의 전류 양을 가변 시킴으로써, 지연셀(310)에 흐르는 바이어스 전류의 양을 조절할 수 있다.

<66> 본 발명의 일실시예에 따른 수신 장치는 제1 및 제2 지연셀(310, 330)에 흐르는 바이어스 전류의 양을 서로 다르게 함으로써, 제1 및 제2 믹서(210, 230)에 각각 인가되는 국부 발진 신호간 위상 부정합을 보정한다. 즉, LO 경로를 통해 수신 장치의 I/Q 신호간 부정합을 보정 함으로써, 전체 시스템의 이득 특성, 잡음 특성 및 선형성에 실질적인 영향을 미치지 않게 된다.

<67> 또한, 검지 회로(270)를 무선 주파수 수신 장치 회로의 외부에 설치하여, 보정 회로(290)의 제1 및 제2 바이어스 전류 I31, I32를 회로 외부에서 제어 가능하도록 구성할 수 있다. 따라서, 회로 내에 별도의 회로가 필요 없으며, 이미 제작된 회로에도 쉽게 응용할 수 있다.

<68> 도 5는 국부 발진 신호에 따른 믹서의 이득과 잡음 특성을 도시한 파형도이다.

<69> 도 5에 도시된 바와 같이, 국부 발진 신호의 크기가 어느 이상이 되면 믹서의 이득 및 노이즈 특성은 거의 변하지 않는다. 또한, 일반적으로 무선 주파수 수신 장치에 있어서, 국부 발진 신호는 보통 도 5에 도시된 V_c 이상의 크기를 가진 신호를 사용하므로, 국부 발진 신호에서 발생된 크기 부정합은 믹서의 이득이나 잡음 특성에 거의 영향을 주지 않는다. 따라서, 국부 발진기(250)의 제1 및 제2 지연셀(310, 330)에 서로 다른 바이어스 전류를 도통시킴으로써 발생되는 크기 부정합은, 시스템에 실질적인 영향을 미치지 않는다.

<70> 지연셀에 제공되는 바이어스 전압을 제어함으로써, 부정합을 보정하는 실시예.

<71> 도 6은 본 발명의 다른 실시예에 따른 지연셀 및 보정 회로를 도시한 회로도이다.

<72> 도 6에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 보정 회로는 국부 발진기(250)의 각 지연셀에 인가되는 바이어스 전압(Vbias)을 서로 다르게 설정함으로써, 출력되는 신호의 위상을 제어한다는 점에서 도 3 및 도 4에 도시된 본 발명의 일실시예에 따른 보정 회로와 차이가 있다.

<73> 본 발명의 다른 실시예에 따른 보정 회로는 제1 PMOS 트랜지스터 MP61에 인가되는 전압을 제어함으로써, 제1 PMOS 트랜지스터 MP61의 드레인에 흐르는 전류 양을 제어한다. 즉, 제1 및 제2 지연셀(310, 330)의 바이어스 전압을 서로 다르게 설정함으로써, 각각의 지연셀에 흐르는 전류 값을 서로 다르게 조절할 수 있고, 국부 발진기(250)에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호 간의 위상 부정합을 보정할 수 있다.

<74> 지연셀에 포함된 능동 소자의 폭(width)을 제어함으로써, 부정합을 보정하는 실시예.

<75> 도 7a 및 도 7b는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도이다.

<76> 도 7a는 PMOS 트랜지스터의 폭을 제어하기 위한 보정 회로이고, 도 7b는 NMOS 트랜지스터의 폭을 제어하기 위한 보정 회로이다.

<77> 일반적으로, 능동 소자를 이용하여, 지연셀을 구현함에 있어서, 각각의 능동 소자들은 여러 개의 능동 소자가 병렬로 연결되어 사용되고 있다. 즉, 병렬 접속되는 능동 소자의 개수에 따라서, 능동 소자의 실제적인 사이즈(width)가 변화하게 된다. 따라서, 도 7a 및 도 7b와 같이, 능동 소자에 스위치 수단을 접속시켜, 각각의 스위치 수단의 온-오프를 다르게 설정하면, 제1 및 제2 지연셀(310, 330)의 출력 신호간의 부정합을 유도해 낼 수 있다.

<78> 이하, 도 7a 및 도 7b에 도시된 보정 회로의 구성 및 동작을 상세히 설명한다.

<79> 도 7a는 제1 및 제2 지연셀(310, 330)에 포함된 PMOS 트랜지스터의 폭을 제어하기 위한 것으로서, 하나 이상의 PMOS 트랜지스터 MPa 및 스위치 수단 SW11을 포함한다.

<80> 보정 회로에 포함된 각각의 PMOS 트랜지스터 MPa, MPb, MPc의 게이트는 서로 접속되어 보정 회로의 제1 단자(701)를 형성하고, 소오스는 서로 접속되어 보정 회로의 제2 단자(702)를 형성한다. 또한, 각각의 PMOS 트랜지스터 MPa, MPb, MPc의 드레인은 제1 내지 제3 스위치 수단 SW11, SW12, SW13의 일단에 각각 접속되고, 제1 내지 제3 스위치 수단 SW11, SW12, SW13의 타단은 서로 접속되어 보정 회로의 제3 단자(703)를 형성한다.

<81> 도 7b는 제1 및 제2 지연셀(310, 330)에 포함된 NMOS 트랜지스터의 폭을 제어하기 위한 것으로서, 하나 이상의 NMOS 트랜지스터 MNa 및 스위치 수단 SW21을 포함한다.

<82> 보정 회로에 포함된 각각의 NMOS 트랜지스터 MNa, MNb, MNC의 게이트는 서로 접속되어 보정 회로의 제1 단자(711)를 형성하고, 드레인은 서로 접속되어 보정 회로의 제2 단자(712)를 형성한다. 또한, 각각의 NMOS 트랜지스터 MNa, MNb, MNC의 소오스는 제1 내지 제3 스위치 수단 SW21, SW22, SW23의 일단에 각각 접속되고, 제1 내지 제3 스위치 수단 SW21, SW22, SW23의 타단은 서로 접속되어 보정 회로의 제3 단자(713)를 형성한다.

<83> 본 발명의 다른 실시예에 따른 수신 장치에 있어서, 제1 및 제2 지연셀(310, 330)에 포함된 어느 하나의 능동 소자에 도 7a 및 도 7b에 도시된 보정 회로를 접속시키고, 각각의 스위치의 온-오프를 다르게 설정하면, 제1 및 제2 지연셀(310, 330)의 부정합을 발생시킬 수 있다.

<84> 즉, 제1 및 제2 지연셀(310, 330)에 포함된 어느 하나의 PMOS 트랜지스터의 게이트에 도 7a에 도시된 보정 회로의 제1 단자(701)를 접속시키고, 소오스에 보정 회로의 제2 단자(702)를 접속시키며, 드레인에 보정 회로의 제3 단자(703)를 접속시킨다. 이와 동일한 방식으로, 제

1 및 제2 지연셀(310, 330)에 포함된 어느 하나의 NMOS 트랜지스터에 도 7b에 도시된 보정 회로의 제1, 제2 및 제3 단자(711, 712, 713)를 접속시킨다.

<85> 보정 회로는 제1 및 제2 지연셀(310, 330)에 포함된 대칭되는 능동 소자에 접속될 수 있으며, 어느 하나의 지연셀에만 접속될 수도 있다. 또한 실시예에 따라서는 P형 보정 회로 및 N형 보정 회로 모두 접속될 수 있으며, 특정 보정 회로가 복수의 대칭 소자에 접속될 수도 있다

<86> 대칭 되는 능동 소자에 N형 또는/및 P형 보정 회로를 접속시키고, 각각의 보정 회로에 포함된 스위치에 제어 신호를 인가함으로써, 각 능동 소자의 폭을 조절할 수 있다. 즉, 제1 및 제2 지연셀(310, 330)에 포함된 서로 대칭적인 능동 소자의 폭을 서로 다르게 함으로써, 출력되는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 간에 발생된 위상 부정합을 보정할 수 있다.

<87> 또한, 상기 설명한 바와 같이, 수신 장치의 기저 대역 동 위상 신호 I 및 기저 대역 직교 위상 신호 Q 간 발생될 위상 부정합 만큼 국부 발진기(250)의 제1 및 제2 지연셀(310, 330)에 포함된 능동 소자의 폭을 서로 다르게 함으로써, 동 위상 및 직교 위상 국부 발진 신호 L_{0I} , L_{0Q} 의 위상을 전치 왜곡시킬 수 있다. 따라서, 동 위상 신호 I 및 직교 위상 신호 Q 간 발생될 위상 부정합을 보정할 수 있다.

<88> 지연셀(310, 330)에 포함된 수동 소자의 임피던스 값을 제어함으로써, 부정합을 보정하는 실시예.

<89> 도 8a 및 도 8b는 본 발명의 다른 실시예에 따른 보정 회로를 도시한 회로도이다.

<90> 도 8a는 제1 및 제2 지연셀(310, 330)에 포함된 인덕터의 인덕턴스를 제어하기 위한 보정 회로이고, 도 8b는 제1 및 제2 지연셀(310, 330)에 포함된 커패시터의 커패시턴스를 제어하기 위한 보정 회로이다.

<91> 상기 설명한 바와 같이, 제1 및 제2 지연셀(310, 330)의 인덕터 및 커패시터는 서로 공진을 발생시켜 원하는 공진 주파수에서 국부 발진기(250)가 발진하도록 하는 소자이다. 본 발명의 다른 실시예에 따른 보정 회로는 제1 및 제2 지연셀(310, 330)에 포함된 인덕터 L 또는 커패시터 C의 임피던스 값을 서로 다르게 설정함으로써, 출력되는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 간 부정합을 보정한다.

<92> 이하, 도 8a 및 도 8b를 참조하여, 본 발명의 다른 실시예에 따른 보정 회로의 구성 및 동작을 좀 더 상세히 설명한다.

<93> 도 8a에 도시된 본 발명의 다른 실시예에 따른 보정 회로는 하나 이상의 인덕터 및 스위치 수단을 포함한다. 각각의 인덕터 L₈₁, L₈₂, L₈₃의 일단은 서로 접속되어, 보정 회로의 일단(801)을 형성하고, 타단은 각각 스위치 수단 SW₃₁, SW₃₂, SW₃₃의 일단과 접속된다. 스위치 수단 SW₃₁, SW₃₂, SW₃₃의 타단은 서로 접속되어, 보정 회로의 타단(802)을 형성한다.

<94> 이와 마찬가지로, 도 8b에 도시된 본 발명의 다른 실시예에 따른 보정 회로는 하나 이상의 커패시터 및 스위치 수단을 포함한다. 각각의 커패시터 C₈₁, C₈₂, C₈₃의 일단은 서로 접속되어, 보정 회로의 일단(811)을 형성하고, 타단은 각각 스위치 수단 SW₄₁, SW₄₂, SW₄₃의 일단과 접속된다. 스위치 수단 SW₄₁, SW₄₂, SW₄₃의 타단은 서로 접속되어 보정 회로의 타단(812)을 형성한다.

<95> 도 8a 및 도 8b에 도시된 본 발명의 다른 실시예에 따른 보정 회로는 제1 및 제2 지연셀(310, 330)에 포함된 인덕터 또는 커패시터의 일단 및 타단간에 접속되어, 지연셀의 인덕턴스 값 또는 커패시턴스 값을 제어한다. 즉, 제1 및 제2 지연셀(310, 330)의 인덕턴스 값 또는 커패시턴스 값을 서로 다르게 설정함으로써, 출력되는 동 위상 국부 발진 신호 L_{0I} 및 직교 위상 국부 발진 신호 L_{0Q} 간 위상 부정합을 보정한다.

<96> 본 발명의 다른 실시예에 따른 보정 회로는 국부 발진기를 구성하는 2 이상의 지연셀에 있어서, 각각의 지연셀에 포함된 수동 소자의 임피던스 값을 서로 다르게 설정함으로써, 지연셀들 간의 부정합을 유도하는 것이다. 따라서, 실시예에 따라서는, 도 8a 또는 도 8b에 도시된 보정 회로가 하나의 지연셀에만 제공될 수 있으며, 경우에 따라서는 도 8a 또는 도 8b에 도시된 보정 회로가 모든 지연셀에 제공될 수도 있다.

【발명의 효과】

<97> 본 발명에 따르면, 국부 발진기에서 출력되는 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호의 위상 부정합을 보정함으로써, 수신 장치의 동 위상 신호 및 직교 위상 신호 간 위상 정합 특성을 개선할 수 있다.

<98> 또한, 수신 장치의 동 위상 신호 경로 및 직교 위상 신호 경로에서 발생될 위상 부정합 만큼, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호의 위상을 왜곡시킴으로써, 기저 대역의 동 위상 신호 및 직교 위상 신호 간 위상 부정합을 보정할 수 있다.

<99> 나아가, 국부 발진 신호의 경로를 통해 위상 부정합을 보정함으로써, 전체 시스템의 이득 특성, 잡음 특성 및 선형성에 실질적인 영향을 미치지 않고, 위상 부정합 만을 보정할 수 있다.

<100> 더 나아가, 국부 발진기의 제1 및 제2 지연셀에 접속된 보정 회로를 회로 외부에서 제어 함으로써, 이미 제작된 회로에서도 쉽게 동 위상 신호 I 및 직교 위상 신호 Q 간의 위상 부정 합을 보정할 수 있다.

【특허청구범위】**【청구항 1】**

입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서,

제 1 및 제2 지연셀을 구비하고, 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및

상기 국부 발진부의 상기 제1 및 제2 지연셀에 흐르는 바이어스 전류를 서로 다르게 설정함으로써, 상기 국부 발진부에서 출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로
를 포함하는 국부 발진기.

【청구항 2】

제1항에 있어서,

상기 국부 발진부의 제1 지연셀은 + 및 - 입력단, + 및 - 출력단, 및 보정단을 구비하고, 상기 + 및 - 입력단에 인가된 신호의 위상을 변환하여 각각 상기 - 및 + 출력단으로 출력하고,

상기 국부 발진부의 제2 지연셀은 상기 제1 지연셀의 상기 - 및 + 출력단에 각각 접속되는 + 및 - 입력단, 상기 제1 지연셀의 상기 + 및 - 입력단에 각각 접속되는 - 및 + 출력단, 및 보정단을 구비하고, 상기 + 및 - 입력단에 인가된 신호를 위상을 변환하여 각각 상기 - 및 + 출력단으로 출력하되,

상기 보정단에 인가되는 전류에 의하여 상기 제1 및 제2 지연셀에 흐르는 바이어스 전류가 제어되는 국부 발진기.

【청구항 3】

제1항에 있어서,

상기 보정 회로는 제1 및 제2 가변 전류 소오스를 포함하고, 상기 제1 및 제2 가변 전류 소오스는 각각 상기 제1 및 제2 지연셀의 보정단 및 제1 전원 간에 접속되는 국부 발진기.

【청구항 4】

입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서,

제 1 및 제2 지연셀을 구비하고, 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및

상기 제1 및 제2 지연셀에 인가되는 바이어스 전압을 서로 다르게 설정함으로써, 상기 국부 발진부에서 출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로

를 포함하는 국부 발진기.

【청구항 5】

입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출력하는 제1 및 제2 믹서에 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 제공하는 국부 발진기에 있어서,

제 1, 제2 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 비례하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 양이 제어되는 능동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및

상기 능동 소자의 상기 제1, 제2 및 제3 단자에 각각 접속되는 제1, 제2, 및 제3 단자를 구비하고, 상기 제1 및 제2 지연셀에 포함된 능동 소자의 폭을 다르게 설정함으로써, 상기 국부 발진부에서 출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로를 포함하는 국부 발진기.

【청구항 6】

제5항에 있어서,

상기 보정 회로는 제1, 제2 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 비례하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 양이 제어되는 능동 소자 및 스위치 수단을 하나 이상 포함하고, 상기 능동 소자의 상기 제1 단자는 상기 보정 회로의 상기 제1 단자를 형성하고, 상기 능동 소자의 상기 제2 단자는 상기 보정 회로의 상기 제2 단자를 형성하며, 상기 능동 소자의 상기 제3 단자는 상기 스위치 수단의 일단과 접속되며, 상기 스위치 수단의 타단은 상기 보정 회로의 상기 제3 단자를 형성하는 국부 발진기.

【청구항 7】

제5항 또는 제6항에 있어서,

상기 능동 소자는 nMOSFET 소자이고, 상기 제1 단자는 게이트, 상기 제2 단자는 드레인,
상기 제3 단자는 소오스인 국부 발진기.

【청구항 8】

제5항 또는 제6항에 있어서,

상기 능동 소자는 pMOSFET 소자이고, 상기 제1 단자는 게이트, 상기 제2 단자는 소오스,
상기 제3 단자는 드레인인 국부 발진기.

【청구항 9】

입력 신호를 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호와 혼합하여 각각 출
력하는 제1 및 제2 믹서에 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를
제공하는 국부 발진기에 있어서,

특정 임피던스를 갖는 수동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 상기
동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호를 출력하는 국부 발진부, 및
상기 수동 소자의 일단 및 타단 간에 접속되는 제1 및 제2 단자를 구비하고, 상기 제1
및 제2 지연셀에 포함된 수동 소자의 임피던스 값을 다르게 함으로써, 상기 국부 발진부에서
출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호 간 위상 정합 특성
을 제어하는 보정 회로
를 포함하는 국부 발진기.

【청구항 10】

제9항에 있어서,

상기 보정 회로는 특정 임피던스를 갖는 수동 소자 및 스위치 수단을 포함하고, 상기 수동 소자의 일단은 상기 보정 회로의 상기 제1 단자에 접속되고, 타단은 상기 스위치 수단의 일단과 접속되며, 상기 스위치 수단의 타단은 상기 보정 회로의 상기 제2 단자에 접속되는 국부 발진기.

【청구항 11】

제9항 또는 제10항에 있어서,

상기 수동 소자는 인덕터인 국부 발진기.

【청구항 12】

제9항 또는 제10항에 있어서,

상기 수동 소자는 커패시터인 국부 발진기.

【청구항 13】

제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기,

입력 신호를 상기 국부 발진기에서 출력된 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및

상기 국부 발진기의 상기 제1 및 제2 지연셀에 흐르는 바이어스 전류를 서로 다르게 설정함으로써, 상기 국부 발진기에서 출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로
를 포함하는 수신 장치.

【청구항 14】

제1 및 제2 지연셀을 구비하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기,
입력 신호를 상기 국부 발진기에서 출력된 상기 동 위상 국부 발진 신호 및 상기 직교
위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및
상기 국부 발진기의 상기 제1 및 제2 지연셀에 인가되는 바이어스 전압을 서로 다르게
설정함으로써, 상기 국부 발진기에서 출력되는 상기 동 위상 국부 발진 신호 및 상기 직교 위
상 국부 발진 신호 간 위상 정합 특성을 제어하는 보정 회로
를 포함하는 수신 장치.

【청구항 15】

제1, 제2 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압에 비례하여 상기 제2
단자로부터 상기 제3 단자로 흐르는 전류의 양이 제어되는 능동 소자를 각각 포함하는 제1 및
제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국
부 발진기,

입력 신호를 상기 국부 발진기에서 출력된 상기 동 위상 국부 발진 신호 및 상기 직교
위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및

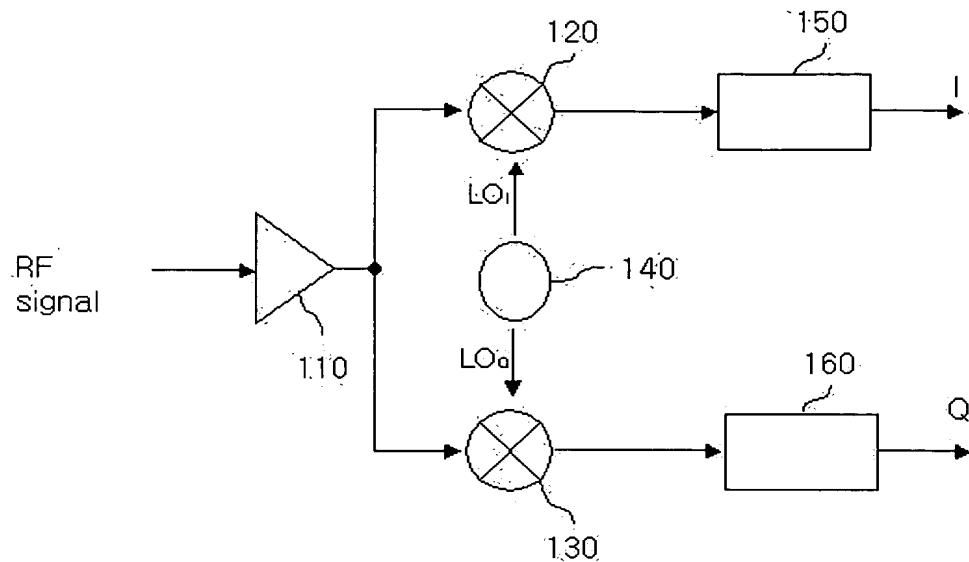
상기 능동 소자의 상기 제1, 제2 및 제3 단자에 각각 접속되는 제1, 제2, 및 제3 단자를 구비하고, 상기 제1 및 제2 지연셀에 포함된 능동 소자의 폭을 다르게 설정함으로써, 상기 제1 및 제2 믹서에서 출력되는 신호간 부정합을 보정하는 보정 회로를 포함하는 수신 장치.

【청구항 16】

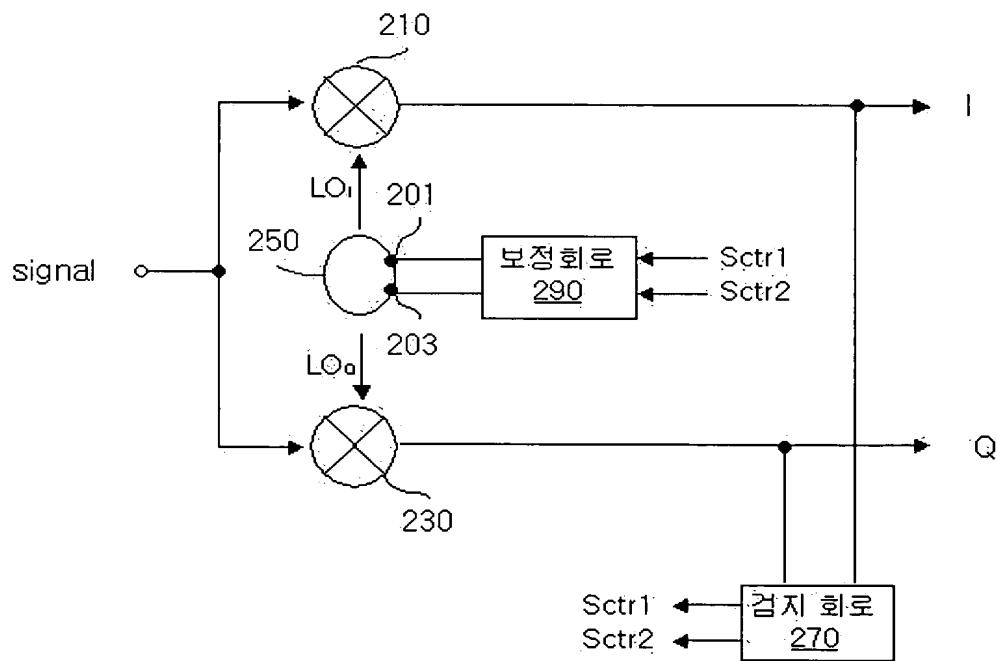
특정 임피던스를 갖는 수동 소자를 각각 포함하는 제1 및 제2 지연셀을 포함하고, 동 위상 국부 발진 신호 및 직교 위상 국부 발진 신호를 출력하는 국부 발진기, 입력 신호를 상기 국부 발진기에서 출력된 상기 동 위상 국부 발진 신호 및 상기 직교 위상 국부 발진 신호와 각각 혼합하여 출력하는 제1 및 제2 믹서, 및 상기 수동 소자의 일단 및 타단 간에 접속되는 제1 및 제2 단자를 구비하고, 상기 제1 및 제2 지연셀에 포함된 수동 소자의 임피던스 값을 다르게 함으로써, 상기 제1 및 제2 믹서에서 출력되는 신호간 부정합을 보정하는 보정 회로를 포함하는 수신 장치.

【도면】

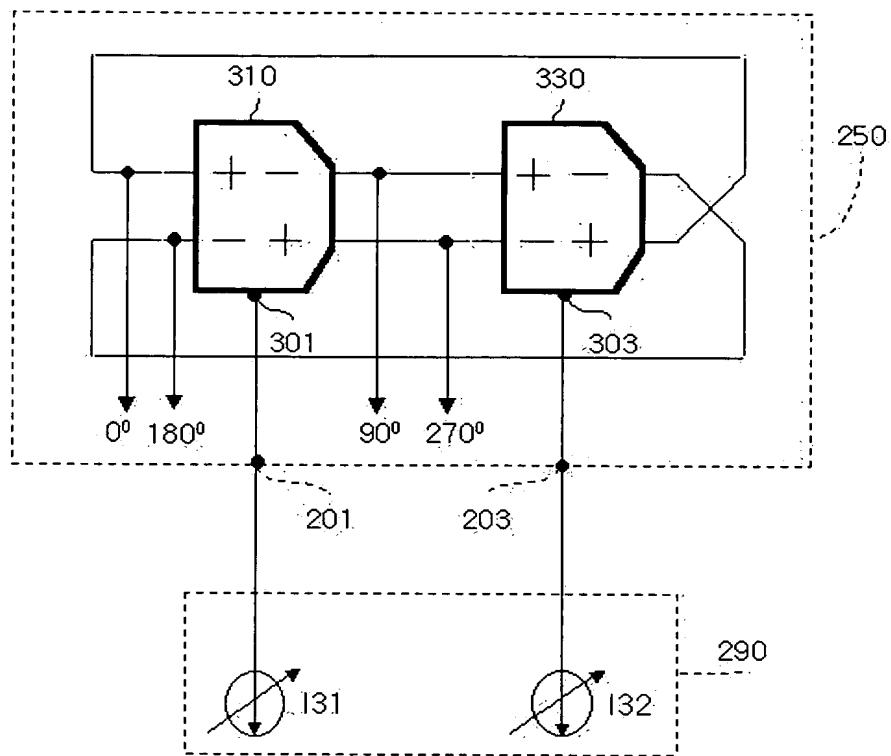
【도 1】



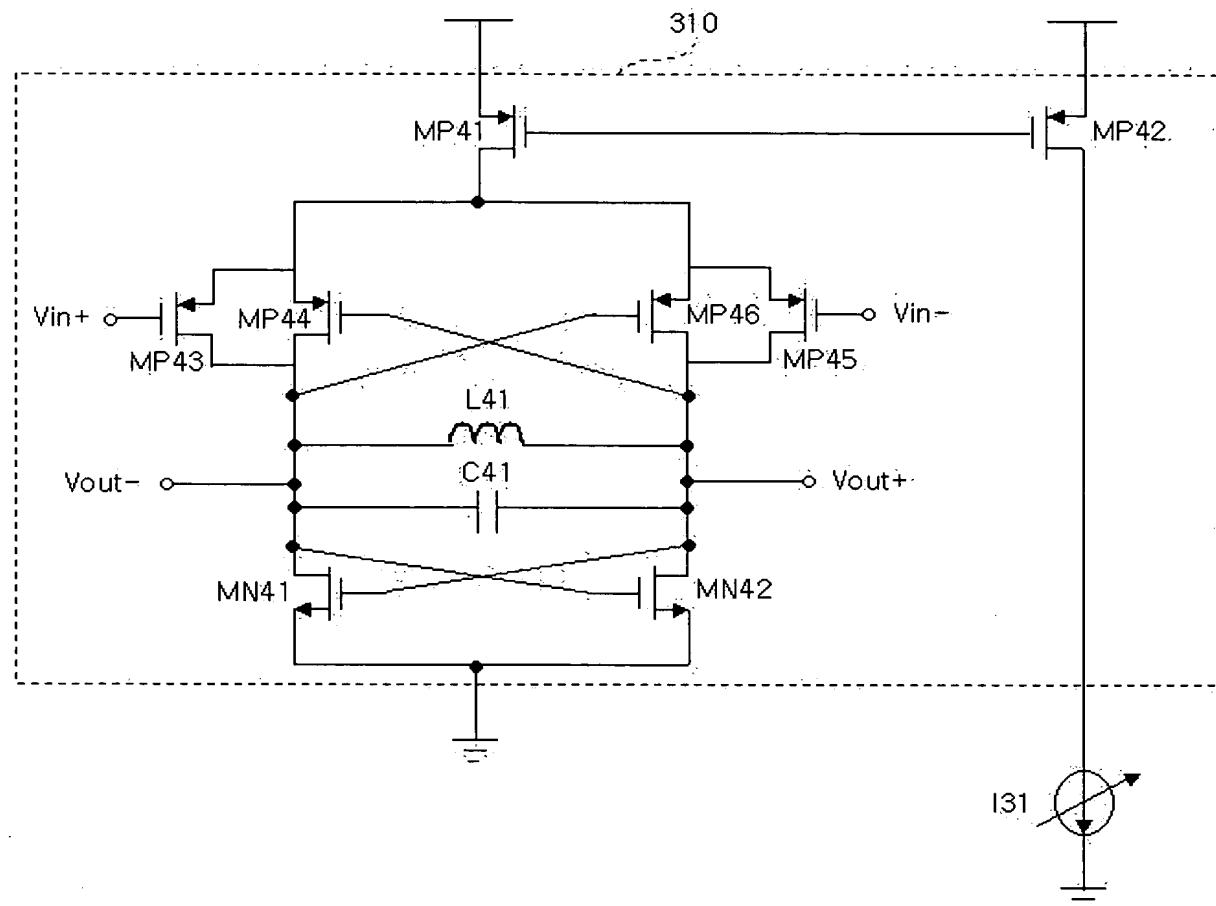
【도 2】



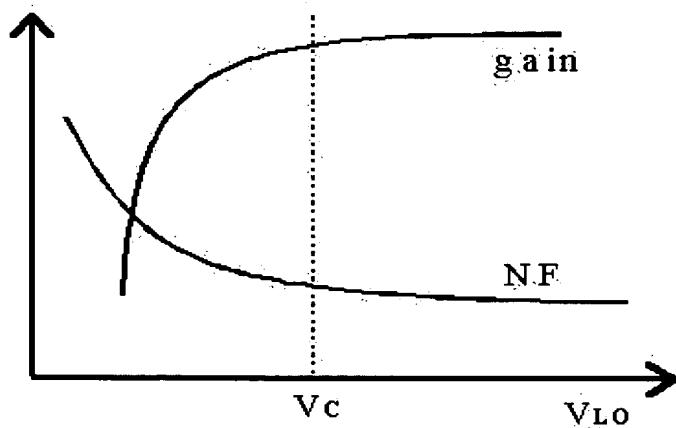
【도 3】



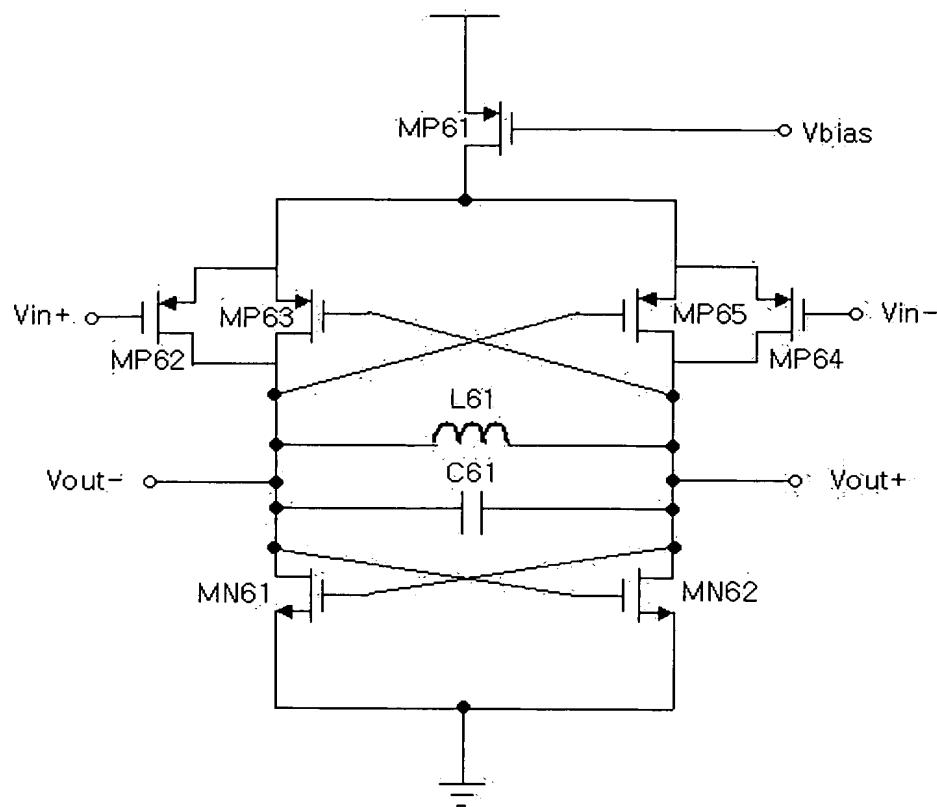
【도 4】



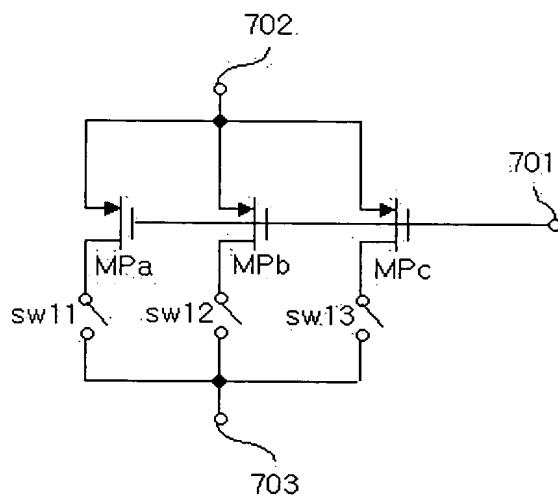
【도 5】



【도 6】



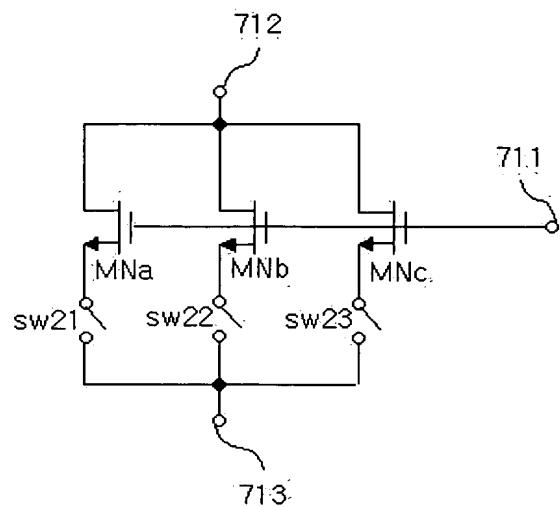
【도 7a】



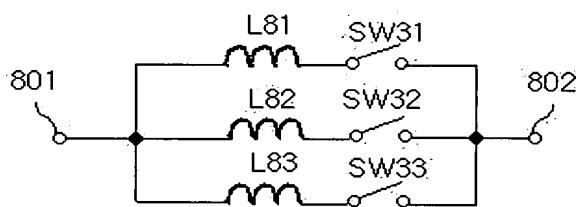
1020020066913

출력 일자: 2003/10/23

【도 7b】



【도 8a】



【도 8b】

